

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Problem Image Mailbox.**

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 2001044437 A

(43) Date of publication of application: 16.02.01

(51) Int. Cl

H01L 29/786  
H01L 29/78  
H01L 21/336

(21) Application number: 11211677

(71) Applicant: MATSUSHITA ELECTRONICS  
INDUSTRY CORP

(22) Date of filing: 27.07.99

(72) Inventor: KOTANI NAOKI

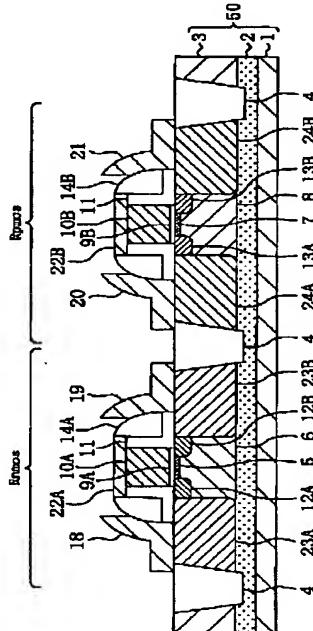
(54) MOS TRANSISTOR AND MANUFACTURE  
THEREOF

(57) Abstract:

PROBLEM TO BE SOLVED: To shallowly form a source region and a drain region of a MOS transistor, while suppressing leakage current.

SOLUTION: After a first gate electrode 10A is formed on an SOI substrate 50, an amorphous silicon film, grown over the entire surface, is patterned on the SOI substrate 50. An nMOS source electrode 18 and an nMOS drain electrode 19 are formed on side regions, respectively, of the first gate electrode 10A on the SOI substrate 50, and the electrode is implanted with arsenic ions. With the SOI substrate 50 thermally processed, the arsenic ions implanted in the nMOS source electrode 18 and nMOS drain electrode 19 are diffused in the SOI substrate 50, to form an n-type high-concentration source region 23A and n-type high-concentration drain region 23B.

COPYRIGHT: (C)2001,JPO







[00331] このようにすると、シリコン化膜がシリコン酸化膜に対してエッチング選択性を有していたため、第1の绝缘膜を除去するときに、第2の绝缘膜からなるサイドウォールが除去される状態を防止できる。

[00332] 本発明のMOSトランジスタの製造方法において、半導体基板はSOI基板であることががましい。

[00333] このようにすると、MOSトランジスタの寄生容量を低減することができる。

[00341] [発明の実施の形態] 以下、本発明の実施形態に係るMOSトランジスタ及びその製造方法について、図1～図8を参照しながら説明する。

[00351] まず、図1に示すように、シリコン基板1と、シリコン基板1上に形成されたBOX酸化膜2と、BOX酸化膜2上に形成されたシリコン層3とからなるSOI基板5の所定の領域にシャーロトレンチ分離4を形成して、nMOS形成領域R<sub>nmos</sub>及びpMOS形成領域R<sub>pmos</sub>をそれぞれ規定する。

[00361] 一方に、SOI基板5の上にnMOS形成領域R<sub>nmos</sub>に開口部を有するレジストパターン(図が省略)を形成した後、該レジストパターンをマスクとしてnMOS形成領域R<sub>nmos</sub>に対してもイオン注入を行なって、nMOS用しきい値制御層5及びpウェル層6を形成する。また、SOI基板5上にpMOS形成領域R<sub>pmos</sub>に開口部を有するレジストパターン(図が省略)を形成した後、該レジストパターンをマスクとしてpMOS形成領域R<sub>pmos</sub>に対してもイオン注入を行なつて、

領域1 2 及びR型低濃度ドレイン領域1 2 Bを形成する。図3 9] 次に、第2のゲート電極1 0 RをマスクとしてPMOS形成領域R PMOSに対してD型不純物を鉛め方向に向いオン注入してD型低濃度ソース領域1 3 A及びR型低濃度ドレイン領域1 3 Bを形成する。

[0039] 次に、TEOS膜1 1の上に全面に凹印<sup>1</sup>にて、例えば幅厚2 0 nmのシリコン化膜を成長させた後、該シリコン化膜に対してドライエッチングによりエッチングを行なって、図3に示すように、第1のゲート電極1 0 Aの側面にTEOS膜1 1を介してシリコン化膜からなる第1のサイドウォール1 4 Aを形成すると共に第2のゲート電極1 0 Bの側面にTEOS膜1 1を介してシリコン化膜からなる第2のサイドウォール1 4 Bを形成する。尚、シリコン化膜はTEOS膜1 1に対してエッチング選択性を有している。

[0040] 次に、図4に示すように、第1のサイドウォール1 4 A及D第2のサイドウォール1 4 BをマスクとしてTEOS膜1 1に対してウエットエッチングを行なって、TEOS膜1 1におけるSOI基板5 0の上に露出する部分を除去する。これにより、第1のゲート電極1 0 Aにおける第1のサイドウォール1 4 Aに開まれている領域に第1の開口部1 5 Aが形成されると共に、第2のゲート電極1 0 B上における第2のサイドウォール1 4 Bに開まれている領域に第2の開口部1 5 Bが形成される。

[0041] 次に、SOI基板5 0の表面に形成されている酸化膜(半導体酸化膜等、國示省略)をウエットエッチングにより完全に除去した後、SOI基板5 0を、400°C程度以下の温度で保持された熱処理炉内に投入して、

そこで、pMOS用しきい値制御管7及びn型ウェル層8を  
遮断層次形成する。

[0037] 次に、SOI基板5の上に全面に亘り、  
例えは厚さ3 nmのシリコン酸化膜、及びポリシリ  
コン層を順次成形させた後、該ポリシリコン膜上にゲー  
ト電極形成部を覆うレジストバーチャン（図示省略）を  
形成し、その後、該レジストバーチャンをマスクとして前  
記説のポリシリコン膜及びシリコン酸化膜に対して船底ド  
ライエッチャングを行なって、nMOS形成部側R<sub>nmos</sub>の  
シリコン酸化膜からなる第1のゲート酸化膜9Aを  
形成する。これと並行して、pMOS形成部側R<sub>pmos</sub>の上にシリ  
コン酸化膜からなる第2のゲート酸化膜9Bを介してが  
る。

[0038] 次に、図2に示すように、第1のゲート電  
極層10Aの上及び第2のゲート電極10Bの上を含むS  
OI基板5の上に全面に亘り、例えば厚さ3 nm  
のTECS膜11を成形させた後、第1のゲート電極  
10AをマスクとしてnMOS形成部側R<sub>nmos</sub>に対してn  
型シリコン酸化膜方向にイオン注入して厚膜低壓ソース  
アーチエミッション部を形成する。

し、その後、図5に示すように、第1のゲート電極1 Aの上及び第2のゲート電極1 Bの上を含むSOI基板50の上面に全面に亘って、例えば膜厚40nmのアモルファスシリコン膜16を500～550°C程度の温度、例えば530°Cで成長させる。これにより、アモルファスシリコン膜16とSOI基板50との間に形成される界面酸化膜を低減できる。

【0042】次に、アモルファスシリコン膜16の上面に全面に亘ってレジスト膜を形成した後、該レジスト膜をリソグラフィー法によりパターニングして、図6に示すように、レジストパターン17を形成する。すなわち、nMOS形成領域R<sub>nmos</sub>上においては、レジストバターン17を、アモルファスシリコン膜16上における第1のゲート電極1 Aの側方の領域に、第1のサイドウォール14Aとオーバーラップするように形成する。また、pMOS形成領域R<sub>pmos</sub>上においては、レジストバターン17を、アモルファスシリコン膜16上における第2のゲート電極1 Bの側方の領域に、第2のサイドウォール14Bとオーバーラップするように形成する。

【0043】次に、レジストバターン17をドライイフチソンアモルファスシリコン膜16に対してドライイフチソン

を行なうことにより、図7に示すように、アモルファスシリコン膜1.6からなるnMOS用ソース電極1.8及びnMOS用ドレイン電極1.9をnMOS形成領域R<sub>nmis</sub>上に形成するときにアモルファスシリコン膜1.6からなるpMOS用ソース電極2.0及びpMOS用ドレイン電極2.1をpMOS形成領域R<sub>pmis</sub>上に形成する。このとき、nMOS用ソース電極1.8及びnMOS用ドレイン電極1.9は、SOI基板5.0における第1のゲート電極1.0の側面の傾斜部に、第1のサイドワールド4Aとオーバーラップするようにそれぞれ形成されており、また、pMOS用ソース電極2.0及びpMOS用ドレイン電極2.1は、SOI基板5.0における第2のゲート電極1.0の側面の傾斜部に、第2のサイドワールド4Bとオーバーラップするように形成されている。また、アモルファスシリコン膜1.6を、施アモルファスシリコン膜1.6が第1の開口部1.5及び第2の開口部1.5に位置するようにバーニングすることによって、第1のゲート電極1.0の上に第1のゲート上部電極2.2Aが形成されると共に第2のゲート電極1.0の上に第2のゲート上部電極2.2Bが形成されている。

【0044】次に、SOI基板5.0上にnMOS用ソース電極1.8及びnMOS用ドレイン電極1.9に開口部を有するレジストパターン(図示省略)を形成した後、該レジストパターンをマスクとしてnMOS用ソース電極1.8及びnMOS用ドレイン電極1.9に対して、n型純物質、例えば鉛イオンを遮避エネルギーが3.0k<sup>eV</sup>、V<sub>F</sub>、ドーピング量が3.0×10<sup>15</sup>個/cm<sup>2</sup>の条件下でイオン注入する。

【0045】一方、SOI基板5.0上にpMOS用ソ-

域R<sub>mos</sub>におけるpMOS用ドレイン電極2-1の下側の領域に形成して、p型高濃度ドレイン領域2-4Bが形成される。

[0047] 次に、nMOS用ソース電極1-8、nMOS用ドレン電極1-9、pMOS用ソース電極2-0及びpMOS用ドレン電極2-1上にコバルト膜を堆積した後、該コバルト膜に対して熱処理を行なつて各ソース電極及びドレイン電極をシリサイト化するため、各ソース電極及びドレイン電極を低抵抗化することができる。

[0050] また、本実施形態によると、SOI基板50の表面に形成された熱抵抗膜を除去了後、SOI基板50を400°C程度以下の温度に保持された熱抵抗性外に投入し、その後、SOI基板50の上にアモルファスシリコン膜1-6を成長させた後、シリコン膜1-6の異常成長を防止しつつ、SOI基板50とアモルファスシリコン膜1-6との間に形成された熱抵抗膜を低抵抗化するので、nMOS用ソース電極1-8とn型高濃度ソース電極2-3Aとの間のコントクト抵抗ドレイン領域2-4Bとの間のコントクト抵抗を低減できる。また、前述のコバルト膜を第1のゲート上部電極2-2A及び第2のゲート上部電極2-2Bの上にも堆積して熱處理を行なうことにより、各ゲート上部電極をシリサイド化して第1のゲート上部シリサイド電極2-9A及び第2のゲート上部シリサイド電極2-9Bを形成する。このとき、第1のゲート電極1-0Aにおける第1のゲート上部電極2-2Aと接する領域、第2のゲート電極1-0Bにおける第2のゲート上部電極2-2Bと接する領域、n型高濃度ソース領域2-3AにおけるnMOS用ソース電極1-8、nMOS用ドレン電極1-9、pMOS用ソース電極2-0及びpMOS用ドレン電極2-1と接する領域、n型高濃度ドレイン領域2-3BにおけるnMOS用ソース電極2-1と接する領域、n型高濃度ソース領域2-3AにおけるpMOS用ソース電極2-4BにおけるpMOS用ドレン電極2-1と接する領域もそれぞれシリサイド化されて各シリサイド電極の一部となる。

[0051] 本実施形態によると、SOI基板50の上に金面に亘つてアモルファスシリコン膜1-6を成長させた後、該アモルファスシリコン膜1-6をバーニングして、nMOS用ソース電極1-8、nMOS用ドレン電極1-9、pMOS用ソース電極2-0及びpMOS用ドレン電極2-1を形成した後、第1のゲート電極1-0Aの側面に第1のゲートオーバー1-4Aを形成すると共に第2のゲート電極1-0Bの側面に第2のゲートオーバー1-4Bを形成し、その後、シリヤロントレンチ形成剤R<sub>mos</sub>にpMOS用ドレン電極2-0上におけるアモルファスシリコン膜1-6を堆積させた後、該シリヤロントレンチ形成剤R<sub>mos</sub>にシリヤロントレンチ形成剤R<sub>pol</sub>に接触させると共にpMOS用ソース電極2-1に堆積するp型不純物をpMOS形成剤R<sub>pol</sub>にp型低濃度ソース領域2-3Bに堆積する事態を防止する事でシリヤロントレンチ形成剤R<sub>mos</sub>が発生する事態を防止できる。

[0052] また、本実施形態によると、第1のゲート電極1-0Aの側面に第1のゲートオーバー1-4Aを形成すると共に第2のゲート電極1-0Bの側面に第2のゲートオーバー1-4Bを形成した後、第1のゲート電極1-0Aの上及び第2のゲート電極1-0Bの上を含むSOI基板50の上にアモルファスシリコン膜1-6を成長させ、その後、アモルファスシリコン膜1-6を、該アモルファスシリコン膜1-6が第1のゲート電極1-0Aと第2のゲート電極1-0Bとに接するようにバーニングする事でシリヤロントレンチ形成剤R<sub>mos</sub>を除去する。

【0053】また、本実施形態によると、第1のゲート電極1-0Aの上及び第2のゲート電極1-0Bの上を含むSOI基板50の上にアモルファスシリコン膜1-6を成長させ、その後、アモルファスシリコン膜1-6を、該アモルファスシリコン膜1-6が第1のゲート電極1-0A及び第2のゲート電極1-0Bとに接するようにバーニングする事でシリヤロントレンチ形成剤R<sub>mos</sub>を除去する。

2のサイドオーバー1-4Bとオーバーラップするようにバーニングするため、アモルファスシリコン膜1-6と第1のゲート電極1-0A又は第2のゲート電極1-0Bとの間に溝が生じる事態を防止できる。

[0054] また、本実施形態によると、第1のゲート電極1-0Aの上及び第2のゲート電極1-0Bの上を含むSOI基板50の上にTEOS膜1-1を形成させた後、第1のゲート電極1-0Aの側面に第1のサイドオーバー1-4Aを形成すると共に第2のゲート電極1-0Bの側面にTEOS膜1-1を介してシリコン充填からなる第1のサイドオーバー1-4Aを形成する事態を防止できるので、該アモルファスシリコン膜1-6が発生する事態を防止できるので、該アモルファスシリコン膜1-6を成長させることにより、リード電流を抑制しつつソース漏感及びドレイン漏感を浅く形成することができる。

【図面の筋的な説明】  
【図1】本発明の一実施形態に係る半導体装置の製造方法の一工程を示す断面図である。  
【図2】本発明の一実施形態に係る半導体装置の製造方法の二工程を示す断面図である。  
【図3】本発明の一実施形態に係る半導体装置の製造方法の三工程を示す断面図である。  
【図4】本発明の一実施形態に係る半導体装置の製造方法の四工程を示す断面図である。  
【図5】本発明の一実施形態に係る半導体装置の製造方法の五工程を示す断面図である。  
【図6】本発明の一実施形態に係る半導体装置の製造方法の六工程を示す断面図である。

【図7】本発明の一実施形態に係る半導体装置の製造方法の一工程を示す断面図である。  
【図8】本発明の一実施形態に係る半導体装置の製造方法の二工程を示す断面図である。  
【図9】従来の半導体装置の製造方法の一工程を示す断面図である。  
【図10】従来の半導体装置の製造方法の二工程を示す断面図である。

電極1-0Aの側面及び第2のゲート電極1-0Bの側面にTEOS膜1-1を介してシリコン等化膜からなるサイドウォールを形成したが、TEOS膜1-1に代えて、シリコン等化膜に対してエッチング選択性を有する他のシリコン等化膜を用いてよい。

### [0058]

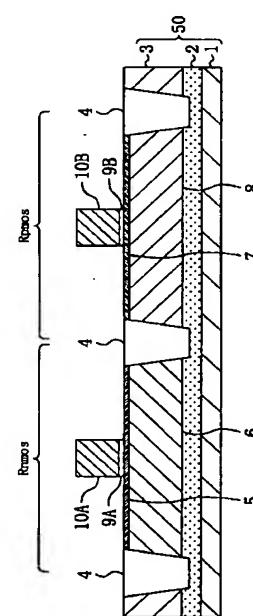
【発明の特徴】  
本発明によると、アモルファスシリコンコンポジットが形成されてアモルファスシリコン膜とゲート電極との間に溝が生じる事態、或いは溝子分離においてアモルファスシリコン膜の剥離が生じてブリッジが発生する事態を防止できるので、該アモルファスシリコン膜からなるソース電極及びドレイン電極に生入される不純物を半導体基板に記憶させることにより、リード電流を抑制しつつソース漏感及びドレイン漏感を浅く形成することができる。

【図面の筋的な説明】  
【図1】本発明の一実施形態に係る半導体装置の製造方法の一工程を示す断面図である。  
【図2】本発明の一実施形態に係る半導体装置の製造方法の二工程を示す断面図である。  
【図3】本発明の一実施形態に係る半導体装置の製造方法の三工程を示す断面図である。  
【図4】本発明の一実施形態に係る半導体装置の製造方法の四工程を示す断面図である。  
【図5】本発明の一実施形態に係る半導体装置の製造方法の五工程を示す断面図である。  
【図6】本発明の一実施形態に係る半導体装置の製造方法の六工程を示す断面図である。  
【図7】本発明の一実施形態に係る半導体装置の製造方法の一工程を示す断面図である。  
【図8】本発明の一実施形態に係る半導体装置の製造方法の二工程を示す断面図である。  
【図9】従来の半導体装置の製造方法の一工程を示す断面図である。  
【図10】従来の半導体装置の製造方法の二工程を示す断面図である。

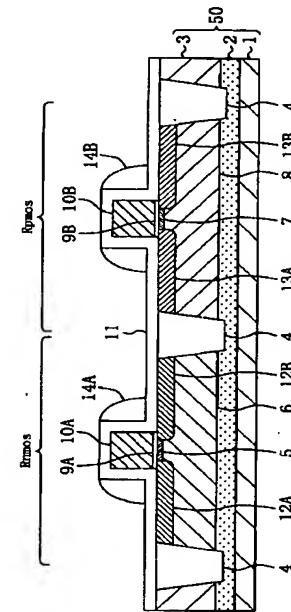
【符号の説明】  
1 シリコン基板  
2 BOX掩蔽膜  
3 シリコン層  
4 シャヨロートレンチチ分離  
5 nMOS用しきい値制御層  
6 p型ウェル層  
7 pMOS用しきい値制御層  
8 n型ウェル層  
9 A 第1のゲート電極  
9 B 第2のゲート電極  
10 A 第1のゲート電極  
10 B 第2のゲート電極  
11 TEOS膜

- 1 2 A n型低濃度ソース領域  
1 2 B n型低濃度ドレイン領域  
1 3 A p型低濃度ソース領域  
1 3 B p型低濃度ドレイン領域  
1 4 A 第1のサイドウォール  
1 4 B 第2のサイドウォール  
1 5 A 第1の開口部  
1 5 B 第2の開口部  
1 6 アモルファシリコン膜  
1 7 レジストバーン  
1 8 n MOS用ソース電極  
1 9 n MOS用ドレイン電極  
2 0 p MOS用ソース電極  
2 1 p MOS用ドレイン電極  
2 2 A 第1のゲート上部電極  
2 2 B 第2のゲート上部電極  
2 3 A n型高濃度ソース領域  
2 3 B n型高濃度ドレイン領域  
2 4 A p型高濃度ソース領域  
2 4 B p型高濃度ドレイン領域  
2 5 n MOS用ソースシリサイド電極  
2 6 n MOS用ドレインシリサイド電極  
2 7 p MOS用ソースシリサイド電極  
2 8 p MOS用ドレインシリサイド電極  
2 9 A 第1のゲート上部シリサイド電極  
2 9 B 第2のゲート上部シリサイド電極  
5 0 SOI基板  
R<sub>nmos</sub> n MOS形成領域  
R<sub>pmos</sub> p MOS形成領域

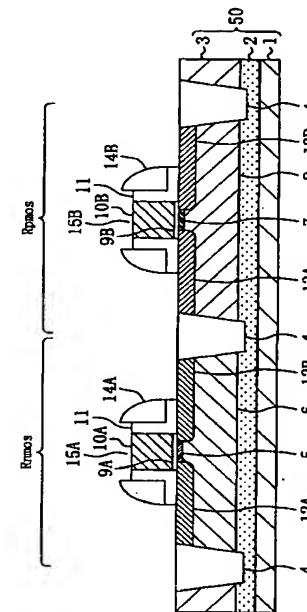
[図1]



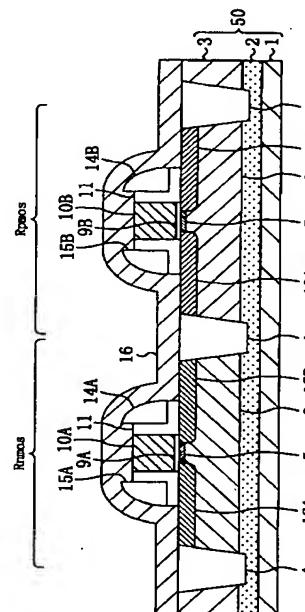
[図3]



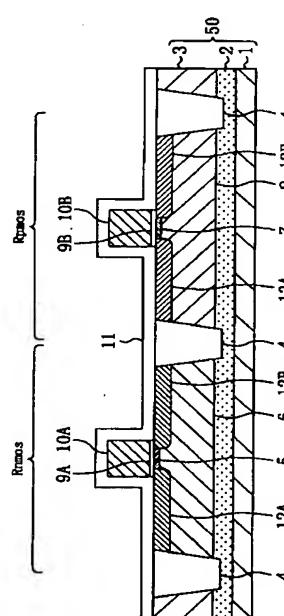
[図4]

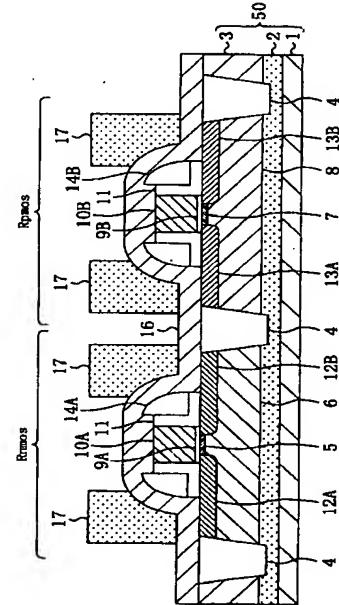


[図5]

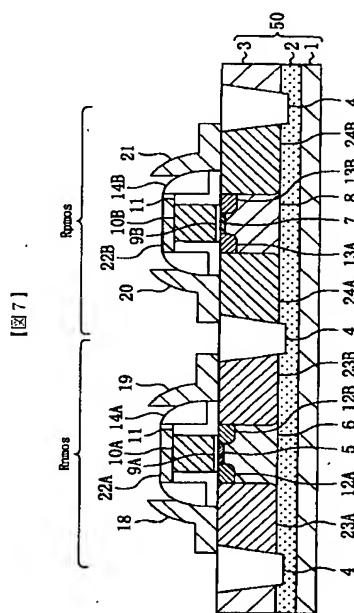


[図2]

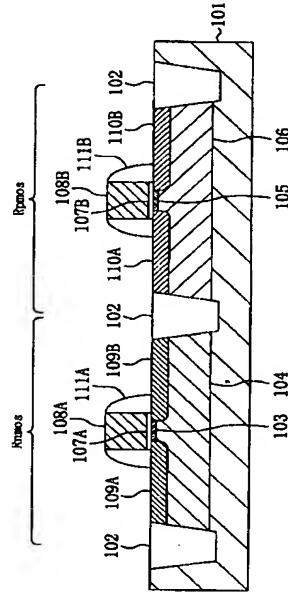




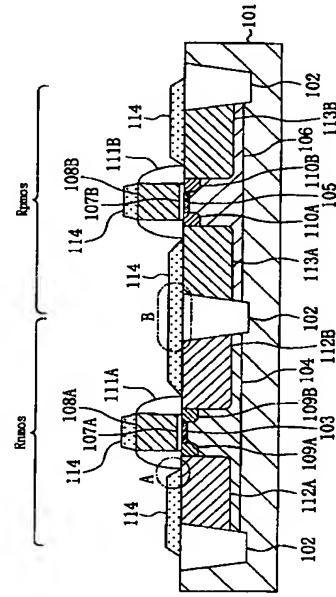
四六一



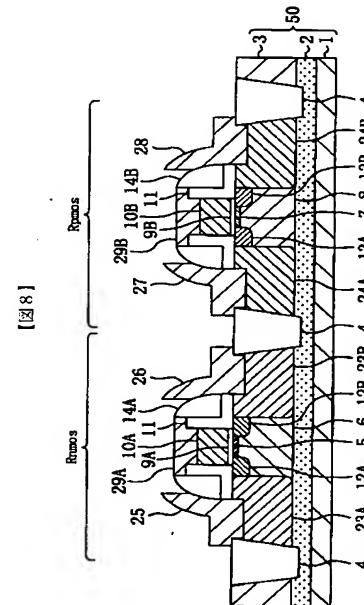
100



16



10



フロントページの纏き

F 7-1 (参#) 5F00 D106 D110 DB03 EB12 EC07  
FF02 EH02 FK05 FA05 FA07  
FB02 FB07 FC13  
5F10 AA02 AA03 AA06 AA08 AA17  
BB04 CC02 DD05 DD13 EE09  
EE12 FF02 GG02 GG13 GG52  
HJ01 HJ14 HK05 HK08 HK35  
HK27 HI-05 HI-08 HI-26 HIU5  
NN62 NN65 QQ05